

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-097712
 (43)Date of publication of application : 31.05.1985

(51)Int.Cl. H03G 3/02

(21)Application number : 58-206536
 (22)Date of filing : 01.11.1983

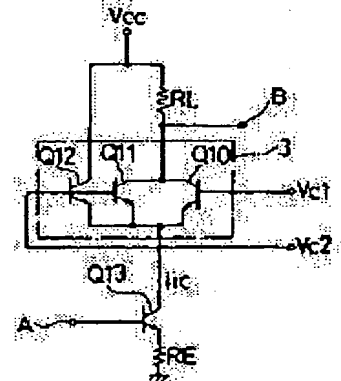
(71)Applicant : MITSUBISHI ELECTRIC CORP
 (72)Inventor : SAKAGUCHI YASUNORI

(54) VARIABLE GAIN AMPLIFIER

(57)Abstract:

PURPOSE: To decide the variable gain range depending on the emitter area ratio by providing one set of resistors deciding the gain and also providing a current dividing circuit comprising transistors (Tr) having a prescribed emitter area.

CONSTITUTION: When the driving voltage is given as $VC1 > VC2$, a TrQ10 is turned on and Trs Q11, Q12 are turned off, then a signal current i_c flows all via a load resistor RL. In case of $VC1 < VC2$, the TrQ10 is turned off and the Trs Q11, Q12 are turned on. The relation of $iC1 = N \cdot i_c / (1 + N)$, $iC2 = i_c / (1 + N)$ is obtained, where $iC1$ is a signal current flowing to the load resistor RL in the signal current i_c and $iC2$ is other signal current and N is the emitter area ratio of the TrQ11 to the Q12. Thus, the voltage gain AV2 is decided by the N and an optional gain range is selected.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報 (A)

昭60-97712

⑬ Int. Cl.⁴
H 03 G 3/02

識別記号

庁内整理番号
7328-5J

⑭ 公開 昭和60年(1985)5月31日

審査請求 未請求 発明の数 2 (全6頁)

⑮ 発明の名称 可変利得増幅器

⑯ 特 願 昭58-206536

⑰ 出 願 昭58(1983)11月1日

⑱ 発 明 者 阪 口 康 則 伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

可変利得増幅器

2. 特許請求の範囲

(1) エミッタ (又はコレクタ) が抵抗を介して接地されベースに入力信号が印加される NPN (又は PNP) 形の入力トランジスタと、NPN (又は PNP) 形の第1トランジスタ及び所定のエミッタ面積比を有する第2、第3トランジスタからなり、該3つのトランジスタの共通エミッタ (又は共通コレクタ) が上記入力トランジスタのコレクタ (又はエミッタ) に接続され、第1、第2トランジスタの共通コレクタ (又は共通エミッタ) が負荷抵抗を介して電源に接続され、第2、第3トランジスタのベースが共通接続され、第3トランジスタのコレクタ (又はエミッタ) が電源に接続され、第1、第3トランジスタのベースに各々第1、第2駆動電圧が印加されてなる電流振分け回路と、上記第1、第2トランジスタの共通コレクタ (又は共通エミッタ) から取り出された出力

端子とを備えたことを特徴とする可変利得増幅器。

(2) 各エミッタ (又はコレクタ) が第1、第2抵抗に接続され各ベースに相互に逆相の差動入力印加される NPN (又は PNP) 形の第1、第2入力トランジスタと、上記第1、第2抵抗の他端の接続点とアース間に接続された定電流源と、NPN (又は PNP) 形の第1トランジスタ及び所定のエミッタ面積比を有する第2、第3トランジスタからなり、該3つのトランジスタの共通エミッタ (又は共通コレクタ) が上記第1入力トランジスタのコレクタ (又はエミッタ) に接続され、第1、第2トランジスタの共通コレクタ (又は共通エミッタ) が負荷抵抗を介して電源に接続され、第2、第3トランジスタのベースが共通接続され、第3トランジスタのコレクタ (又はエミッタ) が電源に接続され、第1、第3トランジスタのベースに各々第1、第2駆動電圧が印加されてなる第1電流振分け回路と、該第1電流振分け回路と同一構成になり第1、第2、第3トランジスタの共通エミッタ (又は共通コレクタ) が上記第2入力

トランジスタのコレクタ（又はエミッタ）に接続されてなる第 2 電流振分け回路と、上記第 1、第 2 電流振分け回路の第 1、第 2 トランジスタの共通コレクタ（又は共通エミッタ）から取り出された差動信号出力端子とを備えたことを特徴とする可変利得増幅器。

3. 発明の詳細な説明

（発明の技術分野）

本発明は、半導体素子によって構成された増幅器、特にその増幅度をある限定された範囲において外部からコントロールできる可変利得増幅器に関するものである。

（従来技術）

従来この種の装置として第 1 図に示すものがあった。図において、A は DC バイアス電圧が重畳された交流信号が入力される入力端子、Q 5、Q 6 は NPN 形の第 1、第 2 入力トランジスタで、各々のベースは上記入力端子 A に接続され、該入力トランジスタ Q 5、Q 6 の各々のエミッタは第 1、第 2 抵抗 RE 1、RE 2 を介して接地されて

おり、該抵抗 RE 1、RE 2 はこの増幅器の利得を決定するためのものである。

1、2 は第 1、第 2 の電流振分け回路であり、これらは上記第 1、第 2 入力トランジスタ Q 5、Q 6 への信号電流 i_{c1} 、 i_{c2} を負荷抵抗 RL を経る経路と該負荷抵抗 RL を経ない経路とに振り分けるためのものである。そして該第 1、第 2 電流振分け回路 1、2 は各々第 1、第 2 トランジスタ Q 1、Q 2 からなり、該両振分け回路 1、2 の第 1、第 2 トランジスタ Q 1、Q 2 の共通エミッタは各々第 1、第 2 入力トランジスタ Q 5、Q 6 のコレクタに接続され、該両振分け回路 1、2 の第 1 トランジスタ Q 1 の共通コレクタは電源 V_{cc} に接続され、さらに両振分け回路 1、2 の第 2 トランジスタ Q 2 の共通コレクタは負荷抵抗 RL を介して電源 V_{cc} に接続されている。

B は上記第 1、第 2 電流振分け回路 1、2 の第 2 トランジスタ Q 2 の共通コレクタから取り出された出力端子である。

次に動作について説明する。

このような従来の増幅器において、駆動電圧が $V_{c2} > V_{c1}$ の場合は、第 1、第 2 電流振分け回路 1、2 の第 2、第 1 トランジスタ Q 2、Q 1 がオンし、信号電流 i_{c1} は負荷抵抗 RL を経て流れ、信号電流 i_{c2} は負荷抵抗 RL の設けられていない経路を通して流れる。そのためこの場合の電圧利得 A_v は下記 (1) 式

$$A_v = R_L / (r_{e1} + R_{E1}) \quad \dots (1)$$

となる。ここで r_{e1} は第 1 入力トランジスタ Q 5 のベースエミッタ抵抗であり、これは下記 (2) 式

$$r_{e1} = V_T \cdot \ln(I_{E1} / I_s) \quad \dots (2)$$

となり、また上式の I_{E1} は第 1 入力トランジスタ Q 5 のエミッタ電流であり、これは入力信号を V_A とすれば下記 (3) 式

$$I_{E1} = V_A / (r_{e1} + R_{E1}) \quad \dots (3)$$

で示される。

また、逆に駆動電圧が $V_{c1} > V_{c2}$ の場合は、信号電流 i_{c2} が負荷抵抗 RL を経て流れることとなるので、電圧利得 A_v は下記 (4) 式

$$A_v = R_L / (r_{e2} + R_{E2}) \quad \dots (4)$$

となる。ここで第 2 入力トランジスタ Q 6 のベースエミッタ抵抗 r_{e2} 及びエミッタ電流 I_{E2} は下記 (5)、(6) 式で示される。

$$r_{e2} = V_T \cdot \ln(I_{E2} / I_s) \quad \dots (5)$$

$$I_{E2} = V_A / (r_{e2} + R_{E2}) \quad \dots (6)$$

しかるにこの従来の増幅器では、上、下限の利得値を決める場合に、抵抗 RE 1 と RE 2 の値の他に第 1、第 2 トランジスタ Q 5、Q 6 のベースエミッタ抵抗 r_{e1} と r_{e2} の値も考慮しなければならず、しかもこれらの抵抗 RE 1、RE 2、 r_{e1} 、 r_{e2} は異なった温度特性をもつため、この従来の増幅器は利得可変範囲が温度特性をもつという欠点があった。

（発明の概要）

本発明は、このような従来のものの欠点に鑑みてなされたものであり、利得を決定する負荷抵抗と入力トランジスタのベースエミッタ抵抗とからなる抵抗の組を 1 組だけ設けるとともに、所定のエミッタ面積比を有するトランジスタからなり信号電流を負荷抵抗を経る経路と負荷抵抗を経ない

経路とに振り分ける電流振り分け回路を設けることにより、利得範囲を上記エミッタ面積比で決定でき、温度特性の少ない、即ち利得範囲が温度によって変動することのない可変利得増幅器を提供することを目的としている。

(発明の実施例)

以下、本発明の実施例を図について説明する。

第2図は本願の第1の発明の一実施例を示す。図において、第1図と同一符号は同一又は相当部分を示し、Q13はベースが入力端子Aに接続され、エミッタが抵抗REを介して接地されたNPN形の入力トランジスタである。

3は上記入力トランジスタQ13への信号電流 i_c を、電源Vccから負荷抵抗RLを通る経路と該負荷抵抗RLを通らない経路とに振り分けるための電流振り分け回路であり、これはNPN形の第1～第3トランジスタQ10～Q12からなる。該3つのトランジスタQ10～Q12のエミッタ面積を $AE10 \sim AE12$ とすると、これらは下記(7)、(8)式

$$AE11 + AE12 = AE10 \quad \dots (7)$$

$$AE12 / AE11 = 1 / N \quad \dots (8)$$

の関係にある。ここで $N > 0$ である。

そして上記第1～第3トランジスタQ10～Q12の共通エミッタは、上記入力トランジスタQ13のコレクタに接続され、第1、第2トランジスタQ10、Q11の共通コレクタは、上記負荷抵抗RLを介して電源Vccに接続され、第2、第3トランジスタQ11、Q12のベースは共通接続され、第3トランジスタQ12のコレクタは電源Vccに接続されており、さらに第1、第3トランジスタQ10、Q12のベースには、各々第1、第2駆動電圧 V_{c1} 、 V_{c2} が印加される。

Bは上記第1、第2トランジスタQ10、Q11の共通コレクタから取り出された出力端子である。

次に動作について説明する。

今、駆動電圧が $V_{c1} > V_{c2}$ である場合は、第1トランジスタQ10がオンし、第2、第3トランジスタQ11、Q12はオフするので、信号

電流 i_c は全て負荷抵抗RLを経て流れ、これにより電圧利得 A_v は下記(9)式

$$A_v1 = RL / (re + RE) \quad \dots (9)$$

となる。

一方、駆動電圧が $V_{c2} > V_{c1}$ の場合は、上記とは逆に第1トランジスタQ10はオフし、第2、第3トランジスタQ11、Q12がオンする。ここで信号電流 i_c のうち負荷抵抗RLを経て流れる信号電流を i_{c1} 、該負荷抵抗RLを経ずに流れる信号電流を i_{c2} とすれば、これらは各々下記(10)、

(11)式

$$i_{c1} = N \cdot i_c / (1 + N) \quad \dots (10)$$

$$i_{c2} = i_c / (1 + N) \quad \dots (11)$$

となり、従ってこの場合の電圧利得 A_v2 は下記

(12)式

$$A_v2 = (N / (1 + N)) \cdot RL / (re + RE) \\ = (N / (1 + N)) \cdot A_v1 \quad \dots (12)$$

となる。そしてこの場合上記Nの値は第2、第3トランジスタQ11、Q12を形成する際に任意に選択できるものであり、従って任意の利得範囲

を選択できることとなる。また入力トランジスタQ13のベースエミッタ抵抗 re は最大利得を決定する時にだけ考慮するだけでよく、これが利得範囲に影響を与えることはない。

このように本実施例の増幅器では、第2、第3トランジスタQ11、Q12のエミッタ面積 $AE11$ 、 $AE12$ の比Nにより利得可変範囲を変えようとしたので、入力トランジスタが1つで済み、また回路電流も少なくでき、利得可変範囲が温度特性をもつということもなく、利得制御を容易かつ正確に行なえる。

第3図は本願の第2の発明の一実施例を示す。図において、第2図と同一符号は同一又は相当部分を示し、Q14、Q15は差動増幅回路を構成するNPN形の第1、第2入力トランジスタであり、該第1、第2入力トランジスタQ14、Q15の各々のエミッタは、第1、第2抵抗RE1、RE2に接続され、各々のベースには相互に逆相の差動入力A1が印加される差動入力端子A1が接続されている。5は上記第1、第2抵抗RE1、R

E2の他端の接続点とアース間に接続された定電流源である。

また、6、7は第1～第3トランジスタQ10～Q12からなる第1、第2電流振分け回路であり、該両振分け回路6、7の3つのトランジスタQ10～Q12の各々の共通エミッタは、第1、第2入力トランジスタQ14、Q15のコレクタに接続されており、該両振分け回路6、7のその他の接続関係は上記第2図の電流振分け回路3と同一になっている。

B1は上記第1、第2電流振分け回路6、7の第1、第2トランジスタQ10、Q11の共通コレクタから取り出された差動信号出力端子である。

本実施例の増幅器では、信号電流 i_c1 と i_c2 との和が定電流源5による一定電流 I_E となる。そしてこの信号電流 i_c1 は、第1電流振分け回路6により、上記第2図の増幅器の場合と同様にして、電源 V_{cc} から負荷抵抗 R_L を経る経路と経らない経路とに分けられて流れることとなる。また信号電流 i_c2 についても同様である。

なお、上記実施例では、NPN形のトランジスタで可変利得増幅器を構成した場合について説明したが、本第1、第2の発明はPNP形のトランジスタでも構成できることは勿論である。

(発明の効果)

以上のように本願の第1、第2の発明に係る可変利得増幅器によれば、利得を決定する抵抗の組を1組だけ設けるとともに、所定のエミッタ面積比を有するトランジスタからなる電流振分け回路を設けたので、利得可変範囲をエミッタ面積比で決定でき、利得可変範囲の温度による変動を低減できる効果があり、また第2の発明では、入力トランジスタを差動入力構成とするとともに、第1、第2電流振分け回路を設けたので、従来、回路が非常に複雑となった正相と逆相とを同時に取り出す両出力形式においても構成が非常に簡単になり、改良への接続も容易になる効果がある。

4. 図面の簡単な説明

第1図は従来の可変利得増幅器の回路図、第2図は本願の第1の発明の一実施例による可変利得

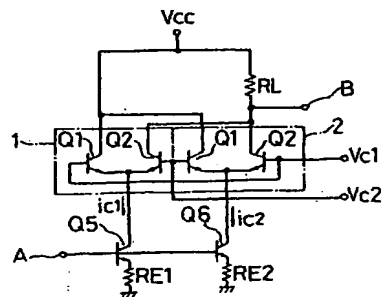
増幅器の回路図、第3図は本願の第2の発明の一実施例による可変利得増幅器の回路図である。

3…電流振分け回路、A…入力端子、B…出力端子、Q10～Q12…第1～第3トランジスタ、Q13…入力トランジスタ、 R_L …負荷抵抗、 R_E …抵抗、 V_{cc} …電源、 V_{c1} 、 V_{c2} …第1、第2駆動電圧、5…定電流源、6、7…第1、第2電流振分け回路、A1…差動入力端子、B1…差動信号出力端子、Q14、Q15…第1、第2入力トランジスタ、 R_{E1} 、 R_{E2} …第1、第2抵抗。

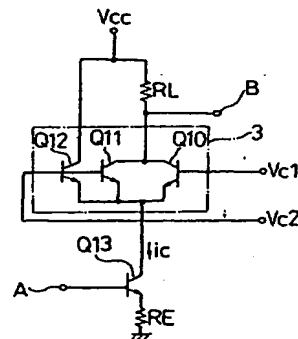
なお図中、同一符号は同一又は相当部分を示す。

代理人 大 岩 増 雄

第1図

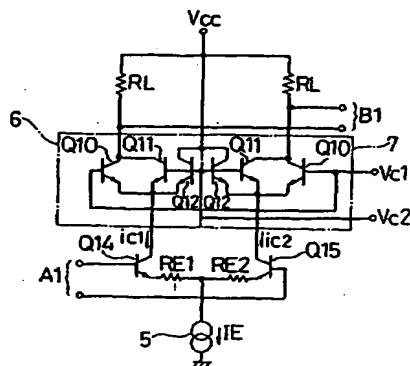


第2図



昭和 59 年 5 月 29 日

第 3 図



特許庁長官殿

1. 事件の表示 待願昭 58-206536号


2. 発明の名称

可變利得切輯器

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601)三菱電機株式会社
代表者 片 山 仁 八 郎

4. 代理人

住所 東京都千代田区丸の内二丁目二番三号
三菱電機株式会社内
氏名 (7375) 弁理士 大 岩 増 雄 

(2013.03.02.01.01.17.78)

5. 補正の対象

明細書の特許請求の範囲の欄

6. 補正の内容

(1) 明細書の特許請求の範囲を別紙の通り訂正する。

以 上

特許請求の範囲

(II) エミッタが抵抗を介して接地され、又は電源に接続され、ベースに入力信号が印加されるNPN（又はPNP）形の入力トランジスタと、NPN（又はPNP）形の第1トランジスタ及び所定のエミッタ面積比、又はコレクタ面積比を有する第2、第3トランジスタからなり、該3つのトランジスタの共通エミッタが上記入力トランジスタのコレクタに接続され、第1、第2トランジスタの共通コレクタが負荷抵抗を介して電源に接続され、又は接地され、第2、第3トランジスタのベースが共通接続され、第3トランジスタのコレクタが電源、又はアースに接続され、第1、第3トランジスタのベースに各々第1、第2駆動電圧が印加されてなる電流振分け回路と、上記第1、第2トランジスタの共通コレクタから取り出された出力端子とを備えたことを特徴とする可変利得増幅器。

(2) 各エミッタが第1, 第2抵抗に接続され各ベースに相互に逆相の差動入力印加されるNP

微とする可変利得増幅器。

N (又はPNP) 形の第1、第2入力トランジスタと、上記第1、第2抵抗の他端の接続点とアース(又は電源)間に接続された定電流源と、NP N (又はPNP) 形の第1トランジスタ及び所定のエミッタ面積比(又はコレクタ面積比)を有する第2、第3トランジスタからなり、該3つのトランジスタの共通エミッタが上記第1入力トランジスタのコレクタに接続され、第1、第2トランジスタの共通コレクタが負荷抵抗を介して電源(又はアース)に接続され、第2、第3トランジスタのベースが共通接続され、第3トランジスタのコレクタが電源(又はアース)に接続され、第1、第3トランジスタのベースに各々第1、第2駆動電圧が印加されてなる第1電流振分け回路と、該第1電流振分け回路と同一構成になり第1、第2、第3トランジスタの共通エミッタが上記第2入力トランジスタのコレクタに接続されてなる第2電流振分け回路と、上記第1、第2電流振分け回路の第1、第2トランジスタの共通コレクタから取り出された差動信号出力端子とを備えたことを特